



PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : G11C 11/15	A1	(11) Internationale Veröffentlichungsnummer: WO 99/14760 (43) Internationales Veröffentlichungsdatum: 25. März 1999 (25.03.99)
--	-----------	--

(21) Internationales Aktenzeichen: PCT/DE98/02589
(22) Internationales Anmeldedatum: 2. September 1998 (02.09.98)
(30) Prioritätsdaten: 197 40 942.3 17. September 1997 (17.09.97) DE
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).
(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): RAMCKE, Ties [DE/DE]; Therese-Giehse-Allee 90, D-81739 München (DE). RÖSNER, Wolfgang [DE/DE]; Heinzelmännchenstrasse 2, D-81739 München (DE). RISCH, Lothar [DE/DE]; Tizianstrasse 27, D-85579 Neubiberg (DE).
(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).

(81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht

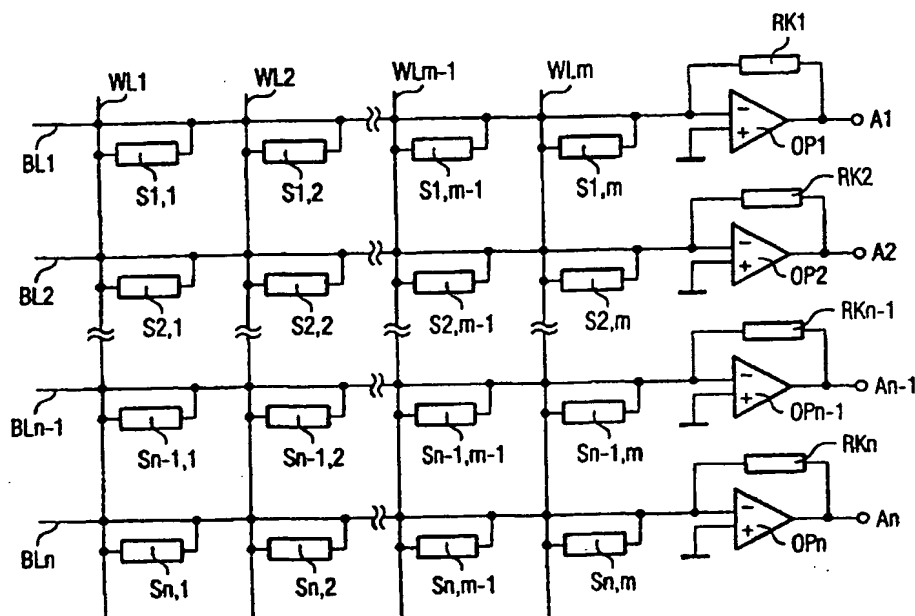
*Mit internationalem Recherchenbericht.
Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.*

(54) Title: MEMORY LOCATION ARRANGEMENT AND ITS USE AS A MAGNETIC RAM AND AS AN ASSOCIATIVE MEMORY

(54) Bezeichnung: SPEICHERZELLENANORDNUNG UND DEREN VERWENDUNG ALS MAGNETISCHES RAM UND ALS ASSOZIATIVER SPEICHER

(57) Abstract

The inventive memory location arrangement has word lines (WL_j) and bit lines (BL_i), said bit lines running crosswise to the word lines. Memory elements (S_{i,j}) with a considerable magnetoresistive effect (GMR) are each connected between one of the word lines and one of the bit lines. Said bit lines (BL_i) are each connected to a read amplifier (OP_i) by which means the potential on the particular bit line (BL_i) can be adjusted to a reference potential. An output signal can also be picked off of said read amplifier (OP_i). The memory cell arrangement can be used as an MRAM and as an associative memory.



(57) Zusammenfassung

Eine Speicherzellenanordnung weist Wortleitungen (WLj) und quer dazu verlaufende Bitleitungen (BLi) auf. Jeweils zwischen einer Wortleitung und einer Bitleitung sind Speicherelemente (Si, j) mit sehr großem magnetoresistivem Effekt (GMR) geschaltet. Die Bitleitungen (BLi) sind jeweils mit einem Leseverstärker (OPi) verbunden, über den das Potential an der jeweiligen Bitleitung (BLi) auf ein Referenzpotential regelbar ist und an dem ein Ausgangssignal abgreifbar ist. Die Speicherzellenanordnung ist sowohl als MRAM als auch als assoziativer Speicher einsetzbar.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Speicherzellenanordnung und deren Verwendung als magnetisches RAM und als assoziativer Speicher.

5

Die Erfindung betrifft eine Speicherzellenanordnung mit Speicherelementen mit einer Schichtstruktur mit sehr großem magnetoresistivem Effekt (GMR).

- 10 Der Begriff GMR-Element wird in der Fachwelt für Schichtstrukturen verwendet, die mindestens zwei ferromagnetische Schichten und eine dazwischen angeordnete nicht magnetische Schicht aufweisen und den sogenannten GMR-(giant magnetoresistiver) Effekt, das heißt sehr großen magnetoresistiven Effekt zeigen. Unter dem GMR-Effekt wird die Tatsache verstanden, daß der elektrische Widerstand des GMR-Elements abhängig davon ist, ob die Magnetisierung in den beiden ferromagnetischen Schichten parallel oder antiparallel ausgerichtet sind.
- 20 Es ist vorgeschlagen worden (siehe zum Beispiel D. D. Tang et al, IEDM 95, Seiten 997 bis 999, D. D. Tang et al, IEEE Trans. on Magnetics, Vol. 31, Nr. 6, 1995, Seiten 3206 bis 3208, F. W. Patten et al, Int. Non Volatile Memory Technology Conf., 1996, Seiten 1 bis 2) derartige GMR-Elemente als Speicherelemente in einer Speicherzellenanordnung zu verwenden. Dazu werden als Speicherelemente GMR-Elemente verwendet, bei denen die Magnetisierungsrichtung der einen ferromagnetischen Schicht zum Beispiel durch eine benachbarte antiferromagnetische Schicht festgehalten wird. Die Speicherelemente werden
- 30 über Bitleitungen in Reihe verschaltet. Quer dazu verlaufen Wortleitungen, die sowohl gegenüber den Bitleitungen als auch gegenüber den Speicherelementen isoliert sind. An die Wortleitungen angelegte Signale verursachen durch den in der Wortleitung fließenden Strom ein Magnetfeld, das die darunter befindlichen Speicherelemente beeinflusst. Zum Einschreiben von Information werden eine Bitleitung und eine Wortleitung, die sich oberhalb der zu beschreibenden Speicherzelle kreuzen,
- 35

zen, mit Signalen beaufschlagt, die am Kreuzungspunkt ein für die Ummagnetisierung ausreichendes magnetisches Feld verursachen. Zum Auslesen der Information wird die Wortleitung mit einem gepulsten Signal beaufschlagt, durch das die betreffende Speicherzelle zwischen den beiden Magnetisierungszuständen hin und her geschaltet wird. Gemessen wird der Strom durch die Bitleitung, aus dem der Widerstandswert des entsprechenden Speicherelementes ermittelt wird.

- 10 In S. Tehrani et al, IEDM 96, Seite 193 ff., ist vorgeschlagen worden, als Speicherelement ein GMR-Element zu verwenden, das unterschiedliche dicke ferromagnetische Schichten aufweist. Das Magnetfeld zum Einschreiben von Information wird so bemessen, daß es nur die Magnetisierung in der dünneren
15 der beiden ferromagnetischen Schichten beeinflusst. Die Magnetisierung in der dickeren der beiden ferromagnetischen Schichten bleibt davon unbeeinflusst.

Der Auslesevorgang mit gepulsten Signalen erfordert in diesen
20 Speicherzellenanordnungen einen erhöhten Schaltungsaufwand.

Der Erfindung liegt das Problem zugrunde, eine Speicherzellenanordnung mit GMR-Elementen anzugeben, die mit verringertem Schaltungsaufwand ausgelesen werden kann.

25

Dieses Problem wird durch eine Speicherzellenanordnung gemäß Anspruch 1 gelöst. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

- 30 Die Speicherzellenanordnung weist untereinander im wesentlichen parallel verlaufende Wortleitungen und untereinander im wesentlichen parallel verlaufende Bitleitungen auf, wobei die Wortleitungen quer zu den Bitleitungen verlaufen. Es sind Speicherelemente mit einer Schichtstruktur mit sehr großem
35 magneto-resistiven Effekt (GMR), das heißt GMR-Elemente, vorgesehen, die jeweils zwischen eine der Wortleitungen und eine der Bitleitungen geschaltet sind und die hochohmiger als die

Wortleitungen und die Bitleitungen sind. Die Bitleitungen sind jeweils mit einem Leseverstärker verbunden, über den das Potential an der jeweiligen Bitleitung auf ein Referenzpotential regelbar ist und an dem ein Ausgangssignal abgreifbar ist. Zum Auslesen dieser Speicherzellenanordnung werden alle nicht ausgewählten Wortleitungen auf das Referenzpotential gelegt. An die ausgewählte Wortleitung wird ein Signal mit anderem Potential angelegt. Dadurch wird ein Strompfad von der ausgewählten Wortleitung zu allen Bitleitungen geschlossen. Aus dem Ausgangssignal am jeweiligen Leseverstärker, den elektrischen Kenngrößen des Leseverstärkers wie zum Beispiel dem Rückkoppelwiderstand, und dem Referenzpotential und dem Bitleitungswiderstand läßt sich der Widerstand des am Kreuzungspunkt der Wortleitung mit der jeweiligen Bitleitung befindlichen Speicherelementes bestimmen. Zum Auslesen dieser Speicherzellenanordnung ist daher kein gepulstes Signal erforderlich.

Vorzugsweise weist der Leseverstärker einen rückgekoppelten Operationsverstärker auf. Der nicht invertierende Eingang des Operationsverstärkers wird mit Referenzpotential, zum Beispiel mit Erde, verbunden. Die Bitleitung wird mit dem invertierenden Eingang verbunden. Beträgt das Referenzpotential 0 Volt, so stellt dieser Operationsverstärker sicher, daß an der Bitleitung 0 Volt anliegen. Das Ausgangssignal des Operationsverstärkers ist ein Maß für den Widerstand des ausgewählten Speicherelementes.

Als Speicherelement sind alle bekannten GMR-Elemente geeignet, sofern sie in beiden Magnetisierungszuständen hochohmiger als die Bitleitung und die Wortleitung sind. Der GMR-Effekt ist größer, wenn der Strom senkrecht durch den Schichtstapel fließt, als wenn der Strom parallel in den Schichten fließt.

Vorzugsweise weisen die Speicherelemente jeweils zwei ferromagnetische Schichten und eine dazwischen angeordnete nicht-

magnetische, isolierende Schicht auf. Eine der ferromagnetischen Schichten ist einer antiferromagnetischen Schicht benachbart angeordnet, die die Polarisationsrichtung der Magnetisierung in der benachbarten ferromagnetischen Schicht bestimmt. Die Speicherelemente weisen jeweils zwei Magnetisierungszustände auf. Es ist vorteilhaft, eine isolierende, nicht magnetische Schicht zu verwenden, da in diesen Aufbauten der GMR-Effekt, der durch einen spinpolarisierten Tunnelstrom durch die zwischen den beiden ferromagnetischen Schichten angeordnete isolierende, nicht magnetische Schicht bewirkt wird, viel größer ist als bei Verwendung einer nicht isolierenden, nicht magnetischen Schicht. Dadurch lassen sich die unterschiedlichen Widerstandswerte, die in der Speicherzellenanordnung zwei verschiedenen logischen Werten Null und Eins zugeordnet werden, besser unterscheiden.

Alternativ können die Speicherelemente jeweils zwei ferromagnetische Schichten und eine dazwischen angeordnete nicht magnetische Schicht aufweisen, wobei eine der ferromagnetischen Schichten dicker als die andere ferromagnetische Schicht ist oder die ferromagnetischen Schichten aus verschiedenen Materialien mit unterschiedlichen magnetischen Eigenschaften gebildet sind, oder eine nicht magnetische nicht isolierende Schicht aufweisen.

25

Für die ferromagnetischen Schichten sind unter anderem Materialien geeignet, die mindestens eines der Elemente Fe, Ni, Co, Cr, Mn, Gd enthalten. Die Dicke der ferromagnetischen Schichten beträgt maximal 20 nm und liegt vorzugsweise im Bereich zwischen 2 und 10 nm. Für die nicht magnetische Schicht, die als Tunnelisolator wirkt, ist als isolierendes Material Al_2O_3 , NiO, HfO_2 oder TiO_2 , NbO, SiO_2 geeignet. Als nicht isolierendes Material für die nicht magnetische Schicht ist Cu oder Ag geeignet. Die Dicke der nicht magnetischen Schicht liegt im Bereich zwischen 1 und 4 nm, vorzugsweise zwischen 2 und 3 nm.

Zum Einschreiben von Information in eines der Speicherelemente werden die zugehörige Wortleitung und die zugehörige Bitleitung jeweils mit einem Signal beaufschlagt. Dadurch fließt ein Strom über die Wortleitung und die Bitleitung, der jeweils ein Magnetfeld induziert. Am Kreuzungspunkt der Wortleitung und der Bitleitung ist das Gesamtmagnetfeld, das sich durch Überlagerung der beiden Magnetfelder ergibt, so groß, daß es zu einer Ummagnetisierung des dort befindlichen Speicherelementes kommt. Außerhalb des Kreuzungspunktes sind die einzelnen Magnetfelder für eine Ummagnetisierung der dort befindlichen Speicherelemente zu gering.

In Anwendungen, in denen zum Einschreiben ein erhöhtes Magnetfeld erforderlich oder wünschenswert ist, liegt es im Rahmen der Erfindung, zusätzlich untereinander im wesentlichen parallel verlaufende Schreibleitungen vorzusehen, die zum Beispiel parallel zu den Bitleitungen verlaufen. Diese Schreibleitungen sind gegenüber den Wortleitungen und den Bitleitungen isoliert. Durch Anlegen eines Signals an die entsprechende Schreibleitung kann das Magnetfeld am Kreuzungspunkt mit der ausgewählten Wortleitung verstärkt werden und damit den Schreibvorgang unterstützen.

Die Speicherzellenanordnung ist als magnetisches RAM (MRAM) geeignet.

Darüber hinaus kann die Speicherzellenanordnung als assoziativer Speicher betrieben werden. Dazu wird zu den Bitleitungen jeweils ein Schwellwertelement vorgesehen, das mit dem Ausgang des Leseverstärkers der jeweiligen Bitleitung verbunden ist.

In einem assoziativen Speicher, wie er zum Beispiel aus K. Goser et al, IEEE Micro, 9(1989)6, Seiten 28 bis 44, bekannt ist, wird an allen Wortleitungen gleichzeitig ein Eingangssignal angelegt. Das Eingangssignal weist so viele Stellen wie Wortleitungen auf. An jeder der Bitleitungen wird der

Strom aufsummiert und mit einem Schwellwertelement das Ausgangssignal gebildet. In den aus Goser et al, IEEE Micro, 9(1989)6, Seiten 28 bis 44, bekannten assoziativen Speichern besteht die Speicherzelle nur aus einem herkömmlichen Widerstand oder einem Transistor und ist zwischen sich kreuzenden Wortleitungen und Bitleitungen geschaltet. Diese herkömmlichen Widerstände und Transistoren können während des Betriebes nicht verändert werden, so daß der Speicher nicht lernfähig ist. Alternativ werden die Speicherzellen als EEPROM-Zellen realisiert, so daß ein Programmieren möglich ist, die jedoch aufwendiger herzustellen sind.

Ein Vorteil der erfindungsgemäßen Speicherzellenanordnung bei der Verwendung als assoziativer Speicher ist, daß die GMR-Elemente in den Speicherelementen beliebig oft während des Betriebes umprogrammiert werden können. Daher kann der assoziative Speicher während des Betriebes Information lernen.

Gemäß einer weiteren Ausführungsform der Erfindung ist zu je zwei Bitleitungen ein Differenzverstärker vorgesehen. Die Eingänge des Differenzverstärkers sind jeweils mit dem Ausgang der Leseverstärker der zugehörigen Bitleitungen verbunden. Diese Speicherzellenanordnung wird vorzugsweise ebenfalls als assoziativer Speicher verwendet, wobei jeweils die Speicherelemente in den beiden Bitleitungen, die mit derselben Wortleitung verbunden sind, komplementär zueinander programmiert werden. Beim Auslesen wird auf der einen Bitleitung das komplementäre Signal der anderen gebildet. Aus diesen komplementären Signalen wird im Differenzverstärker das Ausgangssignal gebildet. Diese Differenzmethode verbessert die Störsicherheit gegen Prozeßschwankungen erheblich.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen, die in den Figuren dargestellt sind, näher erläutert.

Figur 1 zeigt die Architektur einer MRAM-Anordnung.

Figur 2 zeigt ein Speicherelement mit zugehöriger Bitleitung, Wortleitung und Schreibleitung.

5 Figur 3 zeigt einen assoziativen Speicher, bei dem jede Bitleitung mit einem Schwellwertelement verbunden ist.

Figur 4 zeigt einen assoziativen Speicher, bei dem jeweils zwei benachbarte Bitleitungen komplementär programmiert werden und mit einem Differenzverstärker verbunden sind.
10

Eine Speicherzellenanordnung weist untereinander im wesentlichen parallel verlaufende Bitleitungen BL_i , $i = 1, 2, \dots, n$ auf. Quer dazu verlaufen Wortleitungen WL_j , $j = 1, 2, \dots, m$. Die Wortleitungen WL_j verlaufen ebenfalls untereinander im wesentlichen parallel. An den Kreuzungspunkten der Bitleitungen BL_i mit den Wortleitungen WL_j ist jeweils ein Speicherelement Si,j angeordnet (siehe Figur 1).
15

Die Bitleitungen BL_i sind jeweils mit dem invertierenden Eingang eines Operationsverstärkers OPI , $i = 1, 2, \dots, n$ verbunden. Der nicht invertierende Eingang des Operationsverstärkers OPI ist mit Erdpotential verbunden. Die Operationsverstärker OPI sind rückgekoppelt und weisen jeweils einen Rückkopplungswiderstand RKi auf. Die Operationsverstärker OPI weisen jeweils einen Ausgang Ai auf.
20
25

Die Speicherelemente Si,j weisen jeweils eine erste ferromagnetische Schicht 1, eine nicht magnetische Schicht 2, eine zweite ferromagnetische Schicht 3 und eine antiferromagnetische Schicht 4 auf (siehe Figur 2). Die erste ferromagnetische Schicht 1, die nicht magnetische Schicht 2 und die zweite ferromagnetische Schicht 3 stellen eine Schichtstruktur dar. Die erste ferromagnetische Schicht 1 und die zweite ferromagnetische Schicht 3 enthalten zum Beispiel $NiFe$ und weisen eine Dicke von 10 nm auf. Die nicht magnetische Schicht 2
30
35

enthält Al_2O_3 und weist eine Dicke von 2 bis 3 nm auf. Die antiferromagnetische Schicht 4 enthält FeMn und weist eine Dicke von 10 bis 20 nm auf. In der durch die Bitleitungen BLi und die Wortleitungen WLj aufgespannten Ebene weisen die
5 Speicherelemente $\text{Si}_{i,j}$ jeweils einen Querschnitt von zum Beispiel $0,25 \mu\text{m} \times 0,25 \mu\text{m}$ auf.

Die Bitleitungen BLi und die Wortleitungen WLj werden jeweils aus Al, Cu in einer Dicke gebildet, die so dimensioniert ist,
10 daß die Stromdichte 10^6 A/cm^2 im Al nicht überschreitet.

Die erste ferromagnetische Schicht 1 grenzt an die Wortleitung WLj an. Die antiferromagnetische Schicht 4 grenzt an die Bitleitung BLi an. Die Bitleitung BLi verläuft oberhalb der
15 Wortleitung WLj. Alternativ können die Bitleitungen BLi auch unterhalb der Wortleitungen WLj verlaufen.

Unterhalb der Wortleitungen WLj ist eine isolierende Schicht 5 aus zum Beispiel SiO_2 in einer Dicke von 10 nm angeordnet.
20 Sie isoliert die Wortleitung WLj zu einer quer dazu verlaufenden Schreibleitung SLi. Die Schreibleitungen SLi, $i = 1 \dots n$ verlaufen untereinander im wesentlichen parallel. Die Schreibleitung SLi verläuft unterhalb der Bitleitung BLi.

25 In dieser Speicherzellenanordnung wird den logischen Größen Null und Eins jeweils einer der Widerstandswerte der Speicherelemente $\text{Si}_{i,j}$ zugeordnet.

Zum Auslesen der in der Speicherzellenanordnung gespeicherten
30 Information wird zum Auslesen der in dem Speicherelement $\text{Si}_{i,j}$ gespeicherten Information die Wortleitung WLj angesteuert. Dazu wird die Wortleitung WLj auf ein Potential von zum Beispiel + 1 Volt gelegt. Alle andere Wortleitungen WLl, $l \neq j$ werden auf 0 Volt gelegt. Alle Bitleitungen BLi, $i = 1 \dots n$
35 liegen ebenfalls auf 0 Volt, da sie mit dem invertierenden Eingang des rückgekoppelten Operationsverstärkers OPI verbun-

den sind, der sich stets auf 0 Volt regelt. Am Ausgang Ai des Operationsverstärkers OPi wird eine Spannung

$$U_{out} = 1 \text{ V} \cdot \frac{R}{(R_x + R_l)}$$

5

abgegriffen, wobei R der Widerstand des Rückkoppelwiderstandes RKi, Rx der Widerstand des Speicherelementes Si,j und Rl der Widerstand der Leitungsanteile der Wortleitung WLj und der Bitleitung BLi, über die der Strom fließt, ist. Aus dieser Spannung läßt sich der Widerstand Rx des Speicherelementes Si,j berechnen, da die übrigen Größen bekannt sind.

Die Bitleitungen BLi und die Wortleitungen WLj werden aus Metall gebildet, so daß ihr Widerstand sehr klein ist. Der Rückkoppelwiderstand RKi beträgt zum Beispiel 100 kΩ. Der Widerstand Rx des Speicherelementes Si,j beträgt etwa 100 kΩ, falls die Magnetisierung von der ersten ferromagnetischen Schicht 1 und der zweiten ferromagnetischen Schicht 3 parallel ausgerichtet ist und 110 kΩ, falls die Magnetisierung von der ersten ferromagnetischen Schicht 1 und der zweiten ferromagnetischen Schicht 3 antiparallel ausgerichtet ist. Es sind 100 Bitleitungen BLi und 10000 Wortleitungen WLj vorgesehen. Damit beträgt die Änderung des Eingangssignals abhängig von dem angenommenen Widerstandswert des Speicherelementes Si,j 100 mV. Mit einem Widerstandsverhältnis $\frac{R}{(R_x + R_l)}$ von 10 kann sie am Ausgang Ai des Operationsverstärkers OPi auf 1 Volt verstärkt werden.

Da alle Bitleitungen BLi auf 0 Volt liegen, fließen zwischen den Bitleitungen BLi keine parasitären Ströme. Der Strompfad ist nur zwischen der ausgewählten Wortleitung WLj und allen Bitleitungen geschlossen. Es ist daher vorteilhaft, eine größere Anzahl an Wortleitungen WLj als Bitleitungen BLi zu verwenden. Eine Speicherzellenanordnung mit 1 Mbit wird vorzugsweise mit n = 100 Bitleitungen BLi und M = 10.000 Wortleitungen WLj aufgebaut. Damit sind nur 100 Leseverstärker erforder-

derlich. Der Strom, der jeweils in die ausgewählten Wortleitungen BL_j fließt, ergibt sich aus der Parallelschaltung von 100 Speicherelementen Si,j , die jeweils einen Widerstand von etwa 100 k Ω aufweisen. Diese Parallelschaltung weist einen
5 Widerstand von etwa 1 k Ω auf. Die Länge der Bitleitungen BL_i spielt dabei keine Rolle, da diese nicht umgeladen wird.

Zum Einschreiben von Informationen in die Speicherzelle Si,j wird der Schreibleitung SL_i und der Wortleitung WL_j jeweils
10 ein Strom in der Größenordnung mA eingeprägt. Dieser Strom induziert um die Schreibleitung SL_i und die Wortleitung WL_j jeweils ein Magnetfeld, das am Kreuzungspunkt der Schreibleitung SL_i und der Wortleitung WL_j die Magnetisierung der ersten ferromagnetischen Schicht 1 beeinflusst. Die Magnetisie-
15 rung der zweiten ferromagnetischen Schicht 3 ist durch die antiferromagnetische Schicht 4, die dieser benachbart ist, festgelegt.

Alternativ können die Schreibleitungen SL_i parallel zu den
20 Wortleitungen WL_j verlaufen. In diesem Fall wird zum Einschreiben von Informationen die Bitleitung BL_i und die Schreibleitung angesteuert.

In einer Speicherzellenanordnung, die als assoziativer Speicher einsetzbar ist, sind untereinander parallel verlaufende
25 Wortleitungen WL'_j , $j = 1 \dots m$ und quer dazu verlaufende, untereinander im wesentlichen parallel verlaufende Bitleitungen BL'_i , $i = 1 \dots n$ vorgesehen (siehe Figur 3). Am Kreuzungspunkt der Bitleitungen BL'_i mit den Wortleitungen WL'_j
30 ist jeweils ein Speicherelement $S'_{i,j}$ angeordnet. Die Speicherelemente $S'_{i,j}$ sind analog zu den Speicherelementen Si,j , die anhand von Figur 2 erläutert wurden, aufgebaut. Die Bitleitungen BL'_i sind jeweils mit dem invertierenden Eingang eines Operationsverstärkers OP'_i verbunden, dessen nicht in-
35 vertierender Eingang mit Erdpotential verbunden ist und der rückgekoppelt ist. Die Operationsverstärker OP'_i weisen einen Rückkopplungswiderstand RK'_i auf. Der Ausgang der Operations-

verstärker OP'i ist mit dem Eingang eines Schwellwertelementes SWi verbunden. Als Schwellwertelement SWi ist zum Beispiel ein Operationsverstärker mit sehr hoher Verstärkung, zum Beispiel ≥ 100 , oder ein Schmitt-Trigger geeignet. Die
5 Dimensionierung der Operationsverstärker OP'i erfolgt analog wie in dem anhand von Figur 1 und 2 erläuterten Ausführungsbeispiel.

Die Speicherelemente S'i,j sind frei programmierbar. Dazu
10 fließt durch die Bitleitung BL'i und die Wortleitung WL'j Strom. Dabei werden um die Bitleitung BL'i und die Wortleitung WL'j Magnetfelder induziert. Die Ströme werden so gewählt, daß das resultierende Magnetfeld am Kreuzungspunkt der Bitleitung BL'i und der Wortleitung WL'j, an dem das Speicherelement S'i,j angeordnet ist, die Magnetisierung der ersten
15 ferromagnetischen Schicht des Speicherelementes S'i,j und damit der Widerstand des Speicherelementes S'i,j geändert wird. An allen anderen Speicherelementen der Bitleitung BL'i und der Wortleitung WL'j reicht das Magnetfeld dabei nicht aus,
20 die Magnetisierung und damit den Widerstand zu ändern. Abhängig von der Stromrichtung wird so der größere oder der kleinere Wert des Widerstands in das Speicherelement S'i,j programmiert.

25 Zum Auslesen der Speicherzellenanordnung wird an die Wortleitungen WL'j, $j = 1 \dots m$ ein Signal in Form eines Eingangsvektors X mit m Komponenten gelegt. Die Komponenten von X nehmen dabei die Werte 0 Volt oder Vdd an. Vdd beträgt zum Beispiel 1 Volt. In die Bitleitung BL'i fließt über die Speicherelemente S'i,j, $j = 1 \dots m$ ein Strom. Die Summe dieser
30 Ströme fließt durch den Rückkoppelwiderstand RK'i, da der Operationsverstärker OP'i einen sehr hohen Eingangswiderstand, zum Beispiel ≥ 100 Mega-Ohm, aufweist und eine solche Spannung Ui einstellt, daß die Bitleitung BL'i auf 0 Volt geregelt wird. Die Schwellwertelemente SWi bilden aus den Spannungen Ui des Operationsverstärkers OP'i Ausgangsgrößen Yi,
35 die die Werte 0 Volt oder Vdd annehmen können.

Eine weitere Speicherzellenanordnung, die ebenfalls als assoziativer Speicher geeignet ist, weist untereinander im wesentlichen parallel verlaufende Wortleitungen $WL''j$, $j = 1 \dots m$ und quer dazu verlaufende, untereinander im wesentlichen parallel verlaufende Bitleitungen $BL''i$, $i = 1 \dots n$, auf (siehe Figur 4). An den Kreuzungspunkten der Bitleitungen $BL''i$ und der Wortleitungen $WL''j$ ist jeweils ein Speicherelement $S''i,j$ angeordnet, das analog wie in den zuvor beschriebenen Ausführungsbeispielen aufgebaut ist. Die Bitleitungen $BL''i$ sind jeweils mit dem invertierenden Eingang eines Operationsverstärkers $OP''i$ verbunden, dessen nicht invertierender Eingang auf Erdpotential liegt und der rückgekoppelt ist. Die Operationsverstärker $OP''i$ weisen einen Rückkopplungswiderstand $RK''i$ auf. Der Ausgang der Operationsverstärker $OP''i$, $OP''i+1$ von benachbarten Bitleitungen $BL''i$, $BL''i+1$ sind mit den Eingängen eines Differenzverstärkers DVi , $i = 1, 3, 5, \dots n-1$, verbunden (siehe Figur 4).

Das Einschreiben von Information in diese Speicherzellenanordnung erfolgt analog wie anhand von Figur 3 geschildert. Dabei werden die Speicherelemente $S''i,j$, $S''i+1,j$ von benachbarten Bitleitungen $BL''i$, $BL''i+1$, die mit demselben Differenzverstärker DVi verbunden sind, komplementär programmiert.

Beim Auslesen, das analog zu dem anhand von Figur 3 geschilderten Ausführungsbeispiel erfolgt, wird auf der einen Bitleitung $BL''i$ das komplementäre Signal der anderen Bitleitung $BL''i+1$ gebildet. Die Ausgangsspannungen U_i , U_{i+1} der Operationsverstärker $OP''i$, $OP''i+1$ werden auf einen Differenzverstärker DVi gegeben, der das Ausgangssignal Y_i bildet. Dadurch werden Störeinflüsse, die zum Beispiel auf Prozeßschwankungen zurückzuführen sind, eliminiert.

Patentansprüche

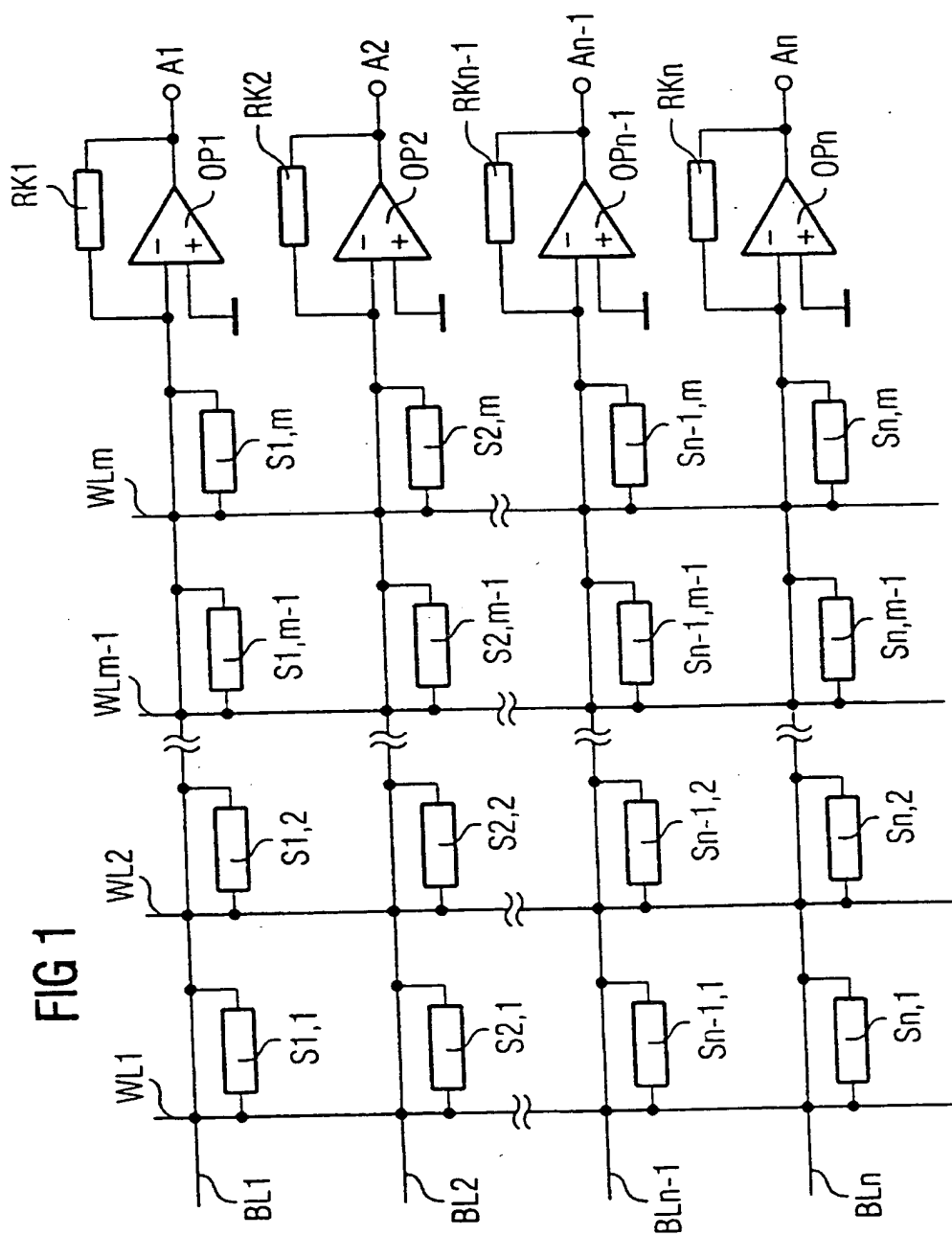
1. Speicherzellenanordnung,

- 5 - bei der mehrere untereinander im wesentlichen parallel verlaufende Wortleitungen und mehrere untereinander im wesentlichen parallel verlaufende Bitleitungen vorgesehen sind, wobei die Wortleitungen quer zu den Bitleitungen verlaufen,
- 10 - bei der Speicherelemente mit einer Schichtstruktur mit sehr großem magnetoresistivem Effekt (GMR) vorgesehen sind, die jeweils zwischen eine der Wortleitungen und eine der Bitleitungen geschaltet sind und die hochohmiger als die Wortleitungen und die Bitleitungen sind,
- 15 - bei der die Bitleitungen jeweils mit einem Leseverstärker verbunden sind, über den das Potential an der jeweiligen Bitleitung auf ein Referenzpotential regelbar ist und an dem ein Ausgangssignal abgreifbar ist.
- 20
2. Speicherzellenanordnung nach Anspruch 1, bei der der Leseverstärker einen rückgekoppelten Operationsverstärker aufweist.
- 25 3. Speicherzellenanordnung nach Anspruch 1 oder 2,
- bei der die Speicherelemente jeweils zwei ferromagnetische Schichten und eine dazwischen angeordnete nicht magnetische Schicht aufweisen,
- 30 - bei der eine antiferromagnetische Schicht vorgesehen ist, die einer der ferromagnetischen Schichten benachbart ist und die die Polarisationsrichtung der Magnetisierung in der benachbarten ferromagnetischen Schicht bestimmt,
- 35 - bei der die Speicherelemente jeweils zwei Magnetisierungszustände aufweisen.

4. Speicherzellenanordnung nach Anspruch 3,
- bei der die ferromagnetischen Schichten jeweils mindestens
5 eines der Elemente Fe, Ni, Co, Cr, Mn, Gd enthalten,
 - bei der die Dicke der ferromagnetischen Schichten jeweils
kleiner oder gleich 20 nm ist,
 - 10 - bei der die nicht magnetische Schicht mindestens eines der
Materialien Al_2O_3 , NiO, HfO_2 , TiO_2 , NbO, SiO_2 enthält und
eine Dicke im Bereich zwischen 1 und 4 nm aufweist.
5. Speicherzellenanordnung nach einem der Ansprüche 1 bis 4,
15 bei der die Speicherelemente in einer Ebene, die von den
Wortleitungen und den Bitleitungen aufgespannt wird, Abmes-
sungen im Bereich zwischen $0,1 \mu\text{m} \times 0,1 \mu\text{m}$ und $2 \mu\text{m} \times 20 \mu\text{m}$
aufweisen.
- 20 6. Speicherzellenanordnung nach einem der Ansprüche 1 bis 5,
bei der die Zahl der Wortleitungen größer als die Zahl der
Bitleitungen ist.
- 25 7. Speicherzellenanordnung nach einem der Ansprüche 1 bis 6,
bei der im wesentlichen parallel verlaufende Schreibleitungen
vorgesehen sind, die gegenüber den Wortleitungen und den Bit-
leitungen isoliert sind.
- 30 8. Speicherzellenanordnung nach einem der Ansprüche 1 bis 6,
bei der zu den Bitleitungen Schwellwertelemente vorgesehen
sind, die jeweils mit dem Ausgang des Leseverstärkers verbun-
den sind.
- 35 9. Speicherzellenanordnung nach einem der Ansprüche 1 bis 7,
bei der jeweils zu zwei Bitleitungen ein Differenzverstärker
vorgesehen ist, dessen Eingänge jeweils mit den Ausgängen der
Leseverstärker der zugehörigen Bitleitungen verbunden ist.

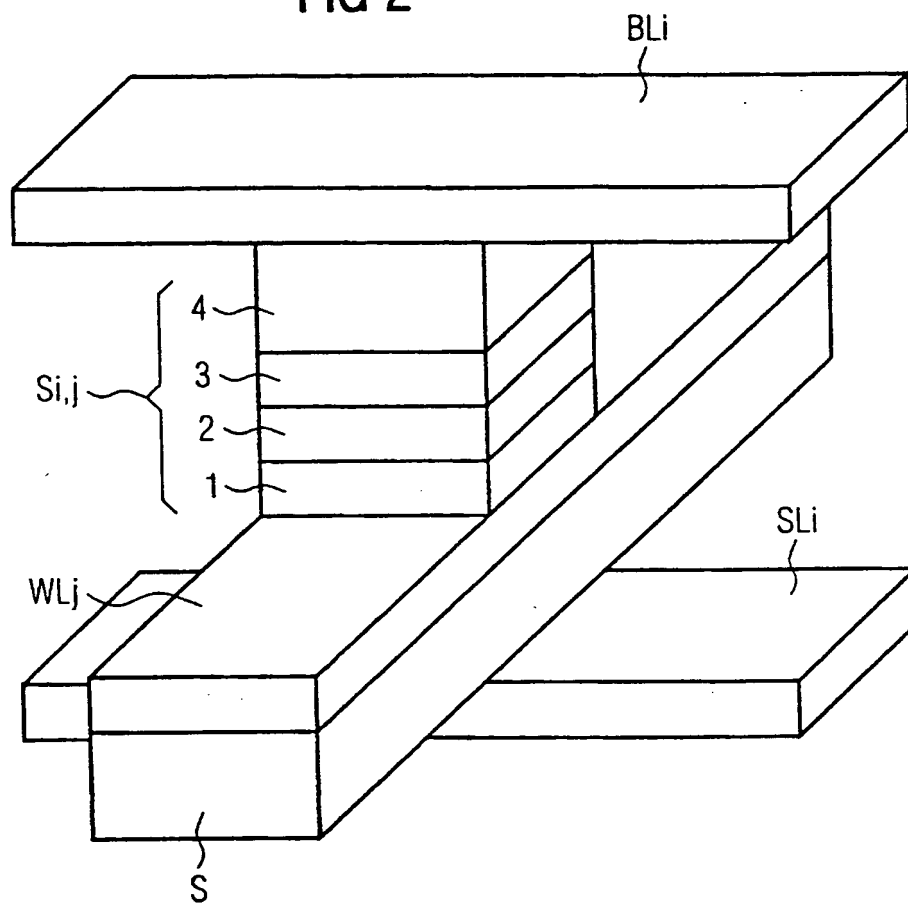
10. Verwendung der Speicherzellenanordnung nach einem der Ansprüche 1 bis 7 als magnetisches RAM.
- 5 11. Verwendung der Speicherzellenanordnung nach Anspruch 8 oder 9 als assoziativer Speicher.

1/4



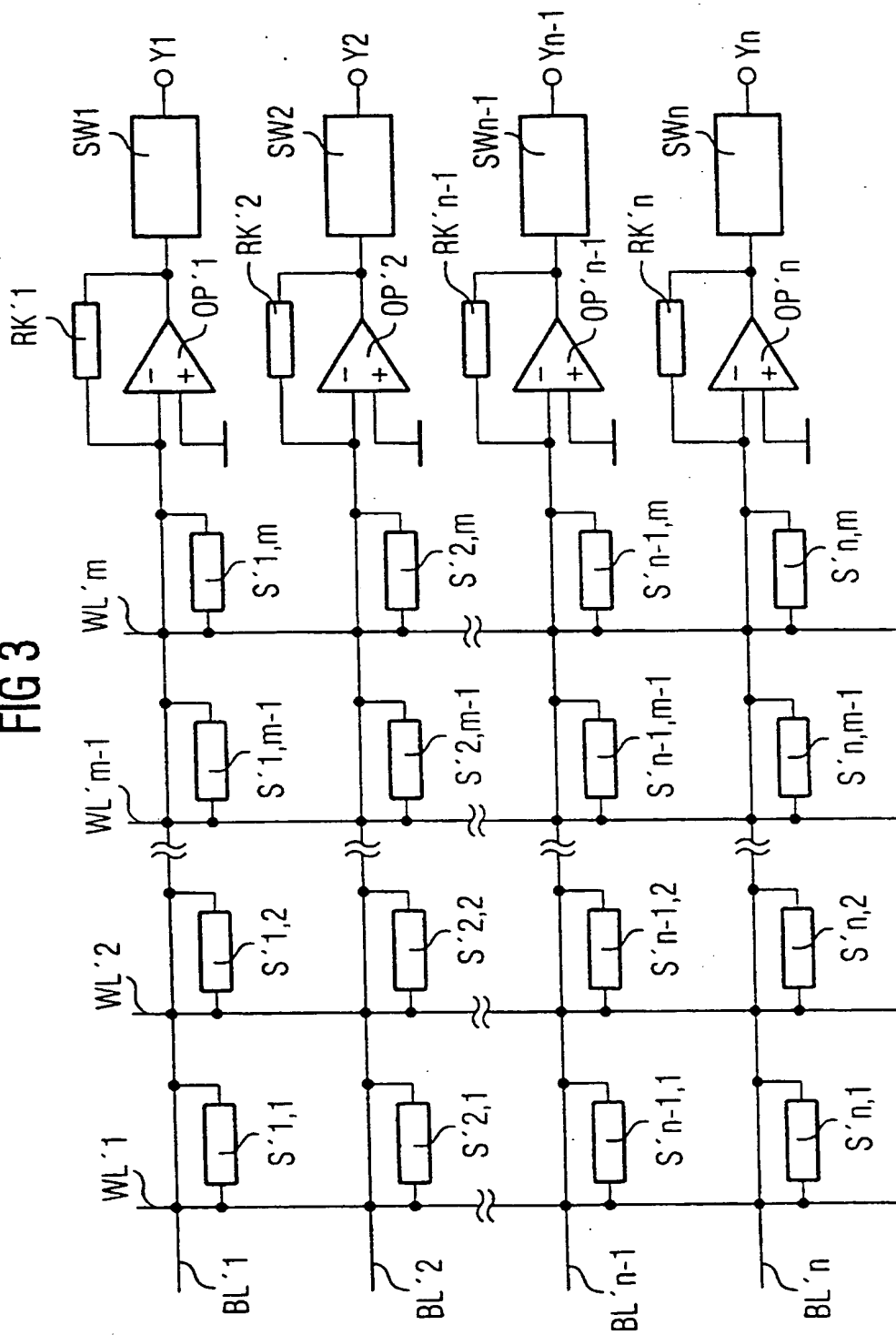
2/4

FIG 2



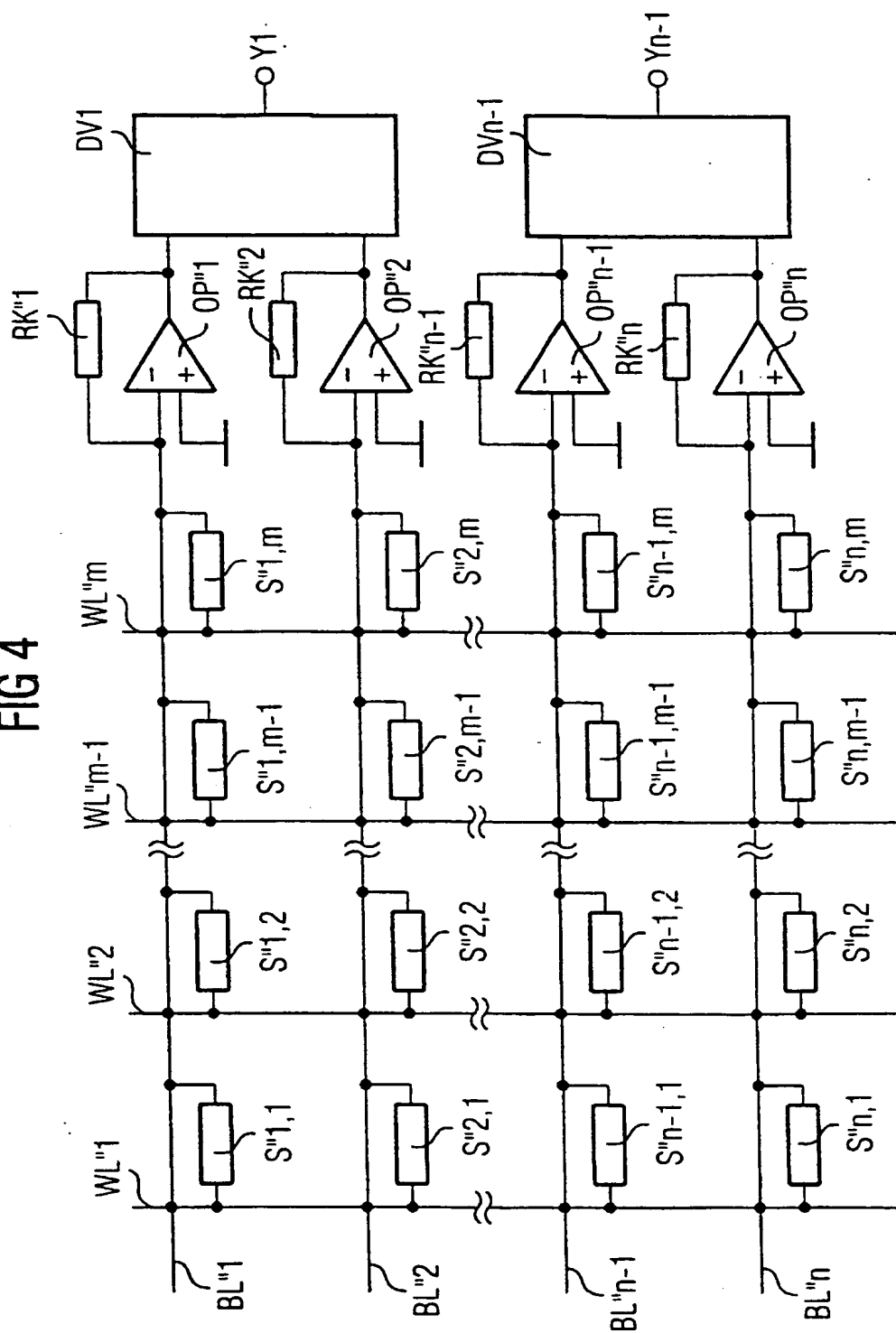
3/4

FIG 3



4/4

FIG 4



INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 98/02589

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 G11C11/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 173 873 A (WU JIIN-CHUAN ET AL) 22 December 1992 see column 5, line 22 - column 6, line 8; figure 4	1,3,4,9, 10
A	---	2,8,11
X	EP 0 685 849 A (FUJITSU AUTOMATION) 6 December 1995 see column 7, line 44 - column 8, line 44; figure 6	1,7,9,10
A	---	2,8,11
X	EP 0 613 148 A (IBM) 31 August 1994 see column 3, line 15 - column 5, line 22; figures 2,3	1,3,5

	-/--	



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

5 February 1999

Date of mailing of the international search report

12/02/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Beasley-Suffolk, D

INTERNATIONAL SEARCH REPORT

Intern al Application No

PCT/DE 98/02589

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 432 734 A (TSUTSUMI KAZUHIKO ET AL) 11 July 1995 see abstract -----	1,3,4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 98/02589

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5173873 A	22-12-1992	NONE	
EP 0685849 A	06-12-1995	JP 2774243 B JP 7326184 A	09-07-1998 12-12-1995
EP 0613148 A	31-08-1994	US 5343422 A JP 2784439 B JP 6295419 A	30-08-1994 06-08-1998 21-10-1994
US 5432734 A	11-07-1995	JP 7066033 A	10-03-1995

PCT/DE 98/02589

1

INTERNATIONALER RECHERCHENBERICHT

Intern: des Aktenzeichen

PCT/DE 98/02589

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>US 5 432 734 A (TSUTSUMI KAZUHIKO ET AL)</p> <p>11. Juli 1995</p> <p>siehe Zusammenfassung</p> <p>-----</p>	1,3,4

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 98/02589

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5173873	A	22-12-1992	KEINE		
EP 0685849	A	06-12-1995	JP 2774243	B	09-07-1998
			JP 7326184	A	12-12-1995
EP 0613148	A	31-08-1994	US 5343422	A	30-08-1994
			JP 2784439	B	06-08-1998
			JP 6295419	A	21-10-1994
US 5432734	A	11-07-1995	JP 7066033	A	10-03-1995